



(19)

(11) Publication number: 11186920 A  
Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 09351435

(51) Intl. Cl.: H03M 13/12 G06F 11/10

(22) Application date: 19.12.97

(30) Priority:

(43) Date of application publication: 09.07.99

(84) Designated contracting states:

(71) Applicant: SONY CORP

(72) Inventor: MIYAUCHI TOSHIYUKI  
HATTORI MASAYUKI

(74) Representative:

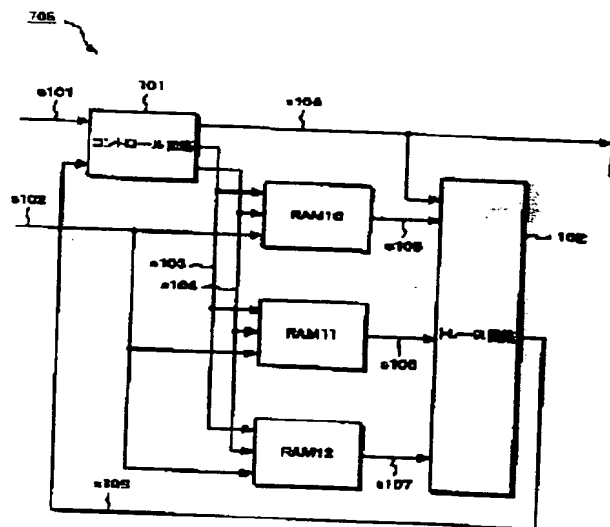
### (54) VITERBI DECODER

#### (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a Viterbi decoder which is small in circuit scale and is capable of high speed operation.

**SOLUTION:** A path memory circuit 705 is provided with three RAMs (RAM10, RAM11, RAM12) with a dual port of, e.g. bit number = 8 and work number = 4, and path selection information s102 is written in the order of, e.g. RAM12&rarr;RAM11&rarr;RAM10&rarr;RAM12&rarr;RAM11,... for each clock under the control of a control circuit 101. On the other hand, the path selection information is read for each clock from the RAMs under the control of the control circuit 101 and given to a trace circuit 102 as read path selection information s105 or the like. The trace circuit 102 conducts tracing by 3 specified periods, based on the read path selection information, trace start state information s108 generated by the control circuit 101. Based on the trace result, decoded data and a trace start state for a succeeding blocks are obtained.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186920

(43) 公開日 平成11年(1999) 7月9日

(51) Int. Cl. <sup>6</sup>	識別記号	F I
H 0 3 M 13/12		H 0 3 M 13/12
G 0 6 F 11/10	3 3 0	G 0 6 F 11/10
		3 3 0 N

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号	特願平9-351435
(22) 出願日	平成9年(1997)12月19日

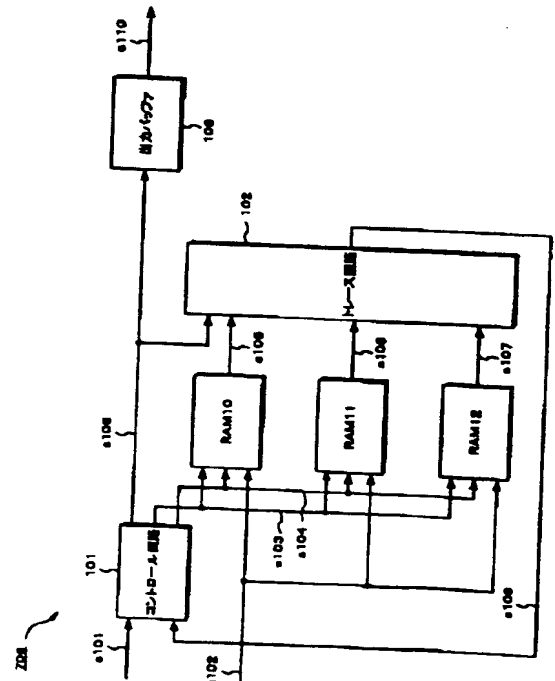
(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(72) 発明者	宮内 俊之 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(72) 発明者	服部 雅之 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(74) 代理人	弁理士 杉浦 正知

(54) 【発明の名称】 ビタビ復号装置

(57) 【要約】

【課題】 回路規模が小さく、高速動作可能なビタビ復号装置を提供する。

【解決手段】 バスメモリ回路705内に例えばビット数=8でワード数=4のデュアルポートのRAMを3個備え (RAM10、RAM11、RAM12)、これら3個のRAMにコントロール回路101の制御に従って毎クロック、バス選択情報s102を、例えばRAM12→RAM11→RAM10→RAM12→RAM11・・・の順に書き込む。一方、これらのRAMからはコントロール回路101の制御に従って毎クロック、バス選択情報が読み出され、読出バス選択情報s105等としてトレース回路102に入力される。トレース回路102は、読出バス選択情報と、コントロール回路101で生成されるトレース開始状態情報s108とに基づいて3時刻分のトレースを行う。トレース結果に基づいて、復号データ、および後続のクロックでのトレース開始状態が求められる。



## 【特許請求の範囲】

【請求項1】 畳み込み符号の各遷移状態でのバスの選択情報を、書き換え可能なメモリを用いて記憶するバスメモリを備え、そのバスメモリに保持された情報を打ち切り長分トレースすることでビタビ復号を行うビタビ復号装置において、

バスメモリ内に複数個の書き換え可能なメモリを備え、1クロックの間に複数時刻分のトレースを行って復号することを特徴とするビタビ復号装置。

【請求項2】 請求項1において、バス選択情報を書き込む際には上記複数個の書き換え可能なメモリに順に書き込みを行い、トレースの際には、上記複数個の書き換え可能なメモリから順に読み出しを行って複数時刻分のトレースを行うことを特徴とするビタビ復号装置。

【請求項3】 請求項2において、上記複数個の書き換え可能なメモリから順に読み出しを行って複数時刻分のトレースを行う際に、上記複数個の書き換え可能なメモリの各々から読み出されるバス選択情報の内、トレースする可能性のあるステートの情報を、トレース開始ステートに基づいて予め選択し、選択したステートの情報についてトレースを行うことを特徴とするビタビ復号装置。

【請求項4】 請求項2において、1ライトー1リードのデュアルポートのRAMを所定個数備え、

1クロックの間に上記デュアルポートのRAMの個数に等しい数の時刻分のトレースを行うことを特徴とするビタビ復号装置。

【請求項5】 請求項2において、シングルポートのRAMを所定個数備え、1クロックの間に上記シングルポートのRAMの個数より1少ない数の時刻分のトレースを行うことを特徴とするビタビ復号装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、例えば衛星放送等で使用される畳み込み符号の最尤復号法に使用されるビタビ復号装置に関する。

## 【0002】

【従来の技術】 畳み込み符号を復号する方式の一つとして、ビタビ復号方式が知られている。このビタビ復号方式は、畳み込み符号に対する最尤復号方式であり、送信側のエンコーダから生成され得る符号系列の中から、受信された符号系列に最も近い系列（以下、このような系列を最尤バスと表記する）を選ぶことにより、誤り訂正を行う。すなわち、送信側のエンコーダによる符号化方法に基づいて作成される、遷移ダイアグラム（以下、トレリスと表記する）を前提とし、遷移ダイアグラム上で生じ得る遷移の内から、例えば受信された符号系列との

ハミング距離が最小となるものを最尤バスとして選択るようになされている。

【0003】 ビタビ復号方式を行うビタビ復号装置はブランチメトリック、すなわちトレリス上の各状態に達するバスと受信された符号系列とのハミング距離をロックに従って計算するブランチメトリック計算回路と、ブランチメトリックに基づいてステートメトリックを計算し、ステートメトリックの値を比較して最尤バスを選択するACS回路、ステートメトリックの値を正10 化する正規化回路、ステートメトリックの値を記憶すステートメトリック記憶回路、ACSによる選択結果に従って復号データを生成するバスメモリ回路を備える成とされている。

【0004】 ここで、バスメモリ回路としては、レジタ列を用いてバス選択内容を遷移させるレジスタ遷移を行うものと、RAMを用いてバス選択内容を記憶させ、記憶内容をトレースして復号する方法を行うもの2種類がある。以下、これら2種類の方法について説

20 【0005】 従来のビタビ復号装置において一般的に用されてきたレジスタ遷移法においては、バスメモリ路内にセクタとレジスタからなるメモリセルをトレリス上に配置し、ACS回路から出力されるバス選択情報に基づいてレジスタの内容を遷移させる。メモリセル構成の一例を図16に示した。また、拘束長=3の場合のメモリセルの配置の一例を図17に示した（図17ではメモリセルをMSと表記した）。このような構成より、各メモリセルのレジスタ内には、各ステートかの生き残りバスに対応する情報が保存されることになる。メモリセルには打ち切り長分の段数が配置され、30 終段の出力の内、最尤ステートの出力を選ぶことにより最尤バスに対する情報を選択し、復号データを出力する。

【0006】 このようなレジスタ遷移法は、高速動作可能であるという利点がある反面、打ち切り長が長くなると回路規模が膨大になるという欠点がある。特に、近は、打ち切り長が100を超えるような用途も出てたので、回路規模の大型化が深刻な問題となっている。

40 【0007】 そこで、近年では、打ち切り長分のRAM(Random Access Memory)を用いてバス情報を記憶し、記憶した情報をトレースすることで復号する方法が盛んに研究されている。以下、この方法をトレースバック法と呼ぶ。

## 【0008】

【発明が解決しようとする課題】 トレースバック法にれば、レジスタ遷移法よりも遥に回路規模の小さいバスメモリ回路を構成できる。しかしながら、トレースバック法を行う従来の装置においては、依然としてバスメモリ回路が大きな回路規模を有している。

50 【0009】 この発明はこのような事情に鑑みて提案

れたものであり、従って、この発明の目的は、回路規模が小さく、高速動作可能なビタビ復号装置を提供することにある。

【0010】

【課題を解決するための手段】請求項1の発明は、畳み込み符号の各遷移状態でのバスの選択情報を、書き換え可能なメモリを用いて記憶するバスメモリを備え、そのバスメモリに保持された情報を打ち切り長分トレースすることでビタビ復号を行うビタビ復号装置において、バスメモリ内に複数個の書き換え可能なメモリを備え、1クロックの間に複数時刻分のトレースを行って復号することを特徴とするビタビ復号装置である。

【0011】以上のような発明によれば、1クロックの間に複数時刻分のトレースを行って復号を行うことにより、RAMの総ワード数を少なくすることができる。

【0012】また、バス選択情報を書き込む際には複数個の書き換え可能なメモリに順に書き込みを行い、トレースの際には、かかる複数個のメモリから順に読み出しを行って複数時刻分のトレースを行うことにより、各クロックの各メモリへのアクセス回数を1回としつつ、複数時刻分のトレースが可能となる。

【0013】さらに、複数個のメモリの各々の出力の内、トレースする可能性のある状態の情報を、トレース開始状態に基づいて予め選択し、選択された状態の情報についてトレースを行うようにすることで、複数時刻分のトレースを行っても遅延の増大を最小限に抑えることが可能となる。

【0014】

【発明の実施の形態】以下、図面を参照して、この発明の第1の実施形態について説明する。まず、図1を参照してこの発明の第1の実施形態の全体的な構成について説明する。この発明の第1の実施形態は、ブランチメトリック計算回路701、ACS回路702、正規化回路703、状態メトリック記憶回路704、およびバスメモリ回路705を備える構成とされており、送信側から伝送路を介して受信されたデータが入力された時、送信側のエンコーダから生成され得る符号系列の中から最尤バスを選択し、選択内容に基づいて復号データを生成する。

【0015】すなわち、送信側のエンコーダによる符号化方法に基づいて作成される、例えば図2に示すような遷移ダイアグラム（以下、トレリスと表記する）を前提とし、遷移ダイアグラム上で生じ得る遷移の内から、例えば受信された符号系列とのハミング距離が最小となるものを最尤バスとして選択するようになされている。

【0016】ブランチメトリック計算回路701は、受信データ信号s701が入力されたとき、この受信データのブランチメトリックを計算して、計算結果をブランチメトリック信号s702として出力する。ACS回路702は、ブランチメトリック信号s702と、ステ

トメトリック記憶回路704から入力される状態メトリック信号s705とに基づいて、ある状態に流する2本のそれぞれのバスに対し、ブランチメトリックと状態メトリックとを加算してそれら加算値を較し、比較結果に基づいて尤度の高いものを選択して新状態メトリックとする。

【0017】このような選択の内容をバス選択情報s06として出力し、最小の状態メトリックを持つ状態の番号を最尤状態信号s707として出力し、新たに得られた状態メトリックを新状態メトリック信号s703として出力する。

【0018】ここで、バスの選択方法について、拘束=4の場合を例として説明する。図2のトレリスは、個の状態000、001、010、011、100、101、110、111を有し、拘束長=4の場合のトレリスの一例である。ここで矢印は各タイムスロット毎に生じ得るバスを示しており、復号データ'0'に、応するバスを点線で示し、復号データ'1'に対応するバスを実線で示した。各タイムスロット毎にすべての状態には合流する2本のバスが存在する。そこで、ある状態に合流する2本のそれぞれのバスに対し、受信信号とバスとのハミング距離（ブランチメトリック）と、それまでのブランチメトリックの累積和（状態メトリック）とを加算して比較を行い、この比較結果に基づいて尤度の高いものが選択される。

【0019】正規化回路703は、ACS回路702から出力される新状態メトリック信号s703から最小の状態メトリックを減算する方法等を用いて正規化し、予め設定されている範囲内の値にして、正規化状態メトリック信号s704として出力する。状態メトリック記憶回路704は、正規化回路703から出力される正規化状態メトリック信号s704を記憶し、これを状態メトリック信号s705として、ACS回路702に戻す。

【0020】バスメモリ回路705は、トレースバック法による復号動作を行うものであり、上述したような、トレースバック法を行う一般的なバスメモリと比較し、RAMの面積を小さくするようになされたものである。かかるバスメモリ回路705の説明を行うに先立って、理解を容易とするために、一般的なトレースバック法におけるトレースの動作を拘束長=4の場合を例として説明する。図3において、状態01からトレースする場合を考える。状態001への遷移の可能性のある状態は、状態000と状態100である。ここでバスメモリには、状態000側のバスを選んでいた時には0、状態100側のバスを選んでいた時には1（すなわち前状態の最上位ビット）を記憶してある。

【0021】また、何れの状態から遷移する場合にも入力1であり、これは状態001の最下位ビ

トで表現されている。以上により、トレースの動作は次のように行えば良い。すなわち、図4に示すように、トレースを開始するトレース開始ステートの最下位ビットを復号ビットとし、トレース開始ステートに後続してトレースする次トレースステートの番号は、トレース開始ステートの最上位ビットから下位2ビット目までに、バスメモリ内のビットを新たに最上位ビットとして付け加えることで生成する。このような動作によって、最小ステートメトリックをとるステートから、選択されたバスを遡ることができる。

【0022】ビタビ復号装置を高速に動作させるためには、RAMはクロック毎に一回しかアクセスできない。各RAMに対して1回のアクセスで復号を行うためのバスメモリ回路の動作を、シングルポートのメモリを4個使用する場合を例として説明する。以下の説明においては、符号の拘束長=4とし、打ち切り長=6とする。この場合に、4個のシングルポートのメモリとしては、ステート数分のビット数（ここでは8ビット）と打ち切り長分のワード数（ここでは6ワード）を持つものが使用される。ACS回路からバスメモリへは、ステート数分のバス選択情報が毎クロック入力される。4個のRAMは、以下の(1)～(4)の4個の役割を打ち切り長分のクロック（ここでは6クロック）毎に順次切り替える（図5参照）。

【0023】(1)バス選択情報を順次書き込む。

【0024】(2)書き込まれたバス選択情報に基づいて順次トレースする。復号は行わない。

【0025】(3)アクセス無し。

【0026】(4)(2)でのトレース結果から順次トレースを行って復号ビットを出力する。

【0027】このような切り替え動作の基づく各RAMの動作を図6に示す。以上のようなメモリオペレーションによって、RAMを用いても高速な復号が可能なビタビ復号装置を構成することができる。このような一般的なトレースバック法によればレジスタ遷移法を行う場合と比較して遙に回路規模を縮小できる。しかしながら、打ち切り長分のワード数を持つRAMが4個必要なため、RAMの総ワード数は打ち切り長×4となり、依然として大きな回路規模が必要とされる。そこで、この発明の一実施形態は、バスメモリ回路の回路規模をさらに縮小するものである。

【0028】図7を参照して、この発明の一実施形態におけるバスメモリ回路705について説明する。バスメモリ回路705は、拘束長=4の符号に対し、打ち切り長=6の復号を行う場合に、ビット数=8でワード数=4の1ライトー1リードのデュアルポートのRAMを3個備え、1クロックの間に3時刻分のトレースを行うバスメモリ回路である。

【0029】ACS回路から入力されるバス選択情報s102は、コントロール回路101で生成される書き込

みコントロール信号s103に基づいて、毎クロックRAM12→RAM11→RAM10→RAM12→AM11・・・の順にRAMに記憶される。RAM10、RAM11、RAM12からはコントロール回路01で生成される読み出しコントロール信号s104に従って、毎クロック全てのRAMからバス選択情報のみ出しを行って読出バス選択情報s105、s106、s107をトレース回路102に入力する。

【0030】なお、コントロール回路101に基づくメモリオペレーションのタイミングを図8に示す。トレース回路102では、RAM10、RAM11、RAM2から出力される読出バス選択情報s105、s106、s107、およびコントロール回路101で生成されるトレース開始ステート情報s108に従って3時刻分のトレースを行い、その結果はトレース結果信号s09としてコントロール回路s101に入力される。コントロール回路s101では、トレース結果信号s19と最尤ステート信号s101に基づいて、打ち切り/2クロック毎にトレース開始ステートの初期化を行なう。次のクロックのトレース開始ステートを求める。

【0031】このようなメモリオペレーションについて、図9および図10を参照してより具体的に説明する。図9および図10は連続する時刻におけるRAM0、RAM11、RAM12に対する書き込み/読み出しについて図示したものである。上述したように、こら3個のRAMは、ビット数=8でワード数=4のデュアルポートのRAMである。記載スペースの都合により、図9に時刻1～時刻6までを図示し、図10に時刻7～時刻13までを図示した。ここで、各メモリのアドレスは何れも左から順に0、1、2、3であるとする。時刻1、2、3・・・9までは、各RAMに順次バス選択情報が書き込まれ、時刻9においては、各RAMにいて3つのアドレスに書き込みがなされている。

【0032】時刻10以降のオペレーションを図8に示されている。時刻10に対応する図8の先頭のクロックにおいては、各RAMのアドレス3から記憶内容(3)のバス選択情報9、8、7)を読み出し、トレースを行うと共に、RAM12のアドレス0に後続のバス選択情報10を書き込む。ここで、図9および図10においては、読み出しの矢印に付し't'はトレースを行うことを示し、'd'はトレースして復号を行うことを示す。

【0033】時刻11に対応する図8の2番目のクロックにおいては、各RAMのアドレス2から記憶内容(個のバス選択情報6、5、4)を読み出し、トレースを行うと共に、RAM11のアドレス0に後続のバス選択情報11を書き込む。さらに、時刻12に対応する図の3番目のクロックにおいては、各RAMのアドレスから記憶内容(バス選択情報3、2、1)を読み出し、トレースしてから、バス選択情報1～9に対応する復

を行うと共に、RAM12のアドレス0に後続のバス選択情報12を書き込む。そして、時刻13に対応する図8の4番目のクロックにおいては、各RAMのアドレス0から記憶内容(3個のバス選択情報10、11、12を読み出し、トレースおよびトレース開始状態の初期化を行うと共に、RAM12アドレス1に後続のバス選択情報13を書き込む。

【0034】このように復号およびそれに後続するクロックにおけるトレース開始状態の初期化が3クロックに1度行われ、また、何れのクロックにおいても、後続のバス選択情報が1アドレス分入力される。

【0035】一方、トレース開始状態情報s108は出力バッファ103にも入力される。出力バッファ103では打ち切り長以上トレースを行った後のトレース開始状態情報s108の下位3ビットを復号ビットとしてバッファし、本来の時系列順に並べ換えた後に復号ビット信号s110として出力する。以上のような構成によって、各RAMへのアクセスは、毎クロックにつき1回としたまま、バスメモリ回路内のRAMの総ワード数を打ち切り長×2にすることができる。これによってビタビ復号装置の回路規模を削減できる。

【0036】次にトレース回路102について説明する。トレースはRAM10→RAM11→RAM12の順に行われるので、バス選択情報s105の中から何れの状態のバス選択情報を選ぶかは、トレース開始状態情報s108によって決定される。また、トレース開始状態情報s108によってバス選択情報s106、s107からは選ぶべき状態の候補を、それぞれ2つ、4つまで絞ることができる(図11参照)。トレース回路102は、この性質を用いることで構成する。

【0037】図12に、トレース回路102の構成を図示した。RAM10、RAM11、RAM12から入力されるバス選択情報s105、s106、s107は、それぞれ、選択回路401、402、403に入力される。一方、選択回路401、402、403には、トレース開始状態情報s107も入力される。選択回路401では、トレース開始状態情報s107に従って、バス選択情報s104からトレースする状態のバス選択情報を選択して、トレース結果情報s401として出力する。また、選択回路402では、トレース開始状態情報s107に従って、バス選択情報s105からトレースする可能性のある2つの状態のバス選択情報を選択して、前トレース情報s402として出力する。

【0038】前トレース情報s402は選択回路404に入力される。選択回路404にはさらに、トレース結果情報s401が入力される。選択回路404は、トレース結果情報s401に従ってトレースする状態のバス選択情報を選択して、トレース結果情報s403と

して出力する。また、選択回路403では、トレース開始状態情報s107に従ってバス選択情報s104からトレースする可能性のある4個の状態のバス選択情報を選択して、前トレース情報s404として出力する。前トレース情報s404は、選択回路405に力される。選択回路405にはさらに、トレース結果情報s401およびs403が入力される。選択回路405は、トレース結果情報s401およびs403に従ってトレースする状態のバス選択情報を選択してトレース結果情報s405として出力する。最後にトレース結果情報s401、s403、s405を3ビットまとめてトレース結果信号s109として出力する。

【0039】以上のようなトレース回路102の構成により、この発明の一実施形態においては、複数時刻分のトレースを行っても、1時刻分のトレースを行う場合と比較してセクタ2段分の遅延を生じるのみであり、動作速度が殆ど損なわれようにすることができる。

【0040】上述したこの発明の一実施形態は、1ラード1リードのデュアルポートのRAMを3個備え、クロックの間に3時刻分のトレースを行うバスメモリ回路を使用するものである。これに対して、異なる構成とするバスメモリ回路を使用する、この発明の他の実施形態も可能である。図13に、この発明の他の実施形態におけるバスメモリ回路の構成を図示した。かかるバスメモリ回路は、拘束長=4の符号に対し、打ち切り長=6の復号を行う場合に、ビット数=8でワード数=3のシングルポートのRAMを4個(RAM50、RAM51、RAM52、RAM53)備え、1クロックの間に3時刻分のトレースを行う回路である。

【0041】ACS回路から入力されるバス選択情報s502は、書き込みコントロール信号s503に従って、毎クロック、RAM53→RAM52→RAM51→RAM50→RAM53→・・・の順にRAMに記憶される。また、RAM50、RAM51、RAM52、RAM53は読み出しコントロール信号s504に従って、毎クロック3つのRAMからバス選択情報の読み出しを行って、バス選択情報s505、s506、s507、s508を出力する。バス選択情報s505、s506、s507、s508は、トレース回路502に力される。ここで、書き込みコントロール信号s503および読み出しコントロール信号s504は、コントロール回路501で生成され、RAM50、RAM51、RAM52、RAM53にそれぞれ入力される。なお、コントロール回路501に基づくメモリオペレーションのタイミングを図14に示す。

【0042】トレース回路502では、RAM50、RAM51、RAM52、RAM53から出力されるバス選択情報s505、s506、s507、s508、およびコントロール回路501で生成されるトレース開始状態情報s509に従って3時刻分のトレースを行い、その結果がト

ース結果信号s 5 1 0としてコントロール回路5 0 1に  
入力される。トレース回路5 0 2は、例えば図1 2に示  
したこの発明の一実施形態におけるトレース回路1 0 2  
に用いられているような選択回路を組み合わせて構成す  
ることができる。また、コントロール回路5 0 1では、  
トレース結果信号s 5 1 0と最尤ステート信号s 5 0 1  
とに基づいて、打ち切り長/2毎にトレース開始ステ  
ートの初期化を行いながら、次のクロックのトレース開始  
ステートを求める。

【0 0 4 3】このようなメモリオペレーションについ  
て、図1 5および図1 6を参照してより具体的に説明す  
る。図1 5および図1 6は連続する時刻におけるRAM  
5 0、RAM 5 1、RAM 5 2、RAM 5 3に対する書  
き込み/読み出しについて図示したものである。上述し  
たように、これら4個のRAMは、ビット数=8でワー  
ド数=3のシングルポートのRAMである。記載ス  
ペースの都合により、図1 5に時刻1~時刻6までを図示  
し、図1 6に時刻7~時刻1 3までを図示した。ここ  
で、各メモリのアドレスは何れも左から順に0、1、2  
であるとする。時刻1、2、3...9までは、各RAMに  
順次バス選択情報が書き込まれ、時刻9においては、  
各RAMについて2つのアドレスに書き込みがなされ  
ている。

【0 0 4 4】この状態に後続する時刻1 0以降のオペ  
レーションが図1 4に示されている。時刻1 0に対応する  
図1 4の先頭のクロックにおいては、3個のRAM (す  
なわちRAM 5 0、RAM 5 1、RAM 5 2) のアドレ  
ス2から記憶内容 (バス選択情報9、8、7) を読み出  
し、トレースを行うと共に、1つのRAM (すなわちRAM  
5 3) のアドレス0に後続のバス選択情報1 0を書き込む。  
ここで、読み出しの矢印に付した't'はトレースを行  
うことを示し、'd'はトレースして復号を行うことを示す。

【0 0 4 5】時刻1 1に対応する図1 4の2番目のクロ  
ックにおいては、3個のRAM (すなわちRAM 5 0、  
RAM 5 1、RAM 5 3) のアドレス2から記憶内容  
(バス選択情報6、5、4) を読み出し、トレースを行  
うと共に、1つのRAM (すなわちRAM 1 1) のアド  
レス0に後続のバス選択情報1 1を書き込む。この際  
の読み出しは、2個のRAM (RAM 5 0、RAM 5 1)  
についてはアドレス1についてなされ、他の1個のRAM  
(RAM 5 3) についてはアドレス2についてなされる。

【0 0 4 6】さらに、時刻1 2に対応する図1 4の3番  
目のクロックにおいては、3個のRAM (すなわちRAM  
5 0、RAM 5 2、RAM 5 3) のアドレス2から記憶  
内容 (バス選択情報3、2、1) を読み出し、トレ  
ースしてから、バス選択情報1~9に対応する復号を行  
うと共に、他の1つのRAM (すなわちRAM 5 1) の  
アドレス0に後続のバス選択情報1 2を書き込む。この際

の読み出しは、2個のRAM (RAM 5 2、RAM 5  
3) についてはアドレス1についてなされ、他の1個  
RAM (RAM 5 1) についてはアドレス0について  
される。

【0 0 4 7】そして、時刻1 3に対応する図1 4の4  
目のクロックにおいては、3個のRAM (すなわちRAM  
5 1、RAM 5 2、RAM 5 3) のアドレス0から  
記憶内容 (バス選択情報1 0、1 1、1 2) を読み出し  
トレースおよびトレース開始ステートの初期化を行う  
共に、他の1つのRAM (すなわちRAM 5 0) のア  
ドレス0に後続のバス選択情報1 3を書き込む。

【0 0 4 8】このように復号およびそれに後続するク  
ックにおけるトレース開始ステートの初期化が3クロ  
ックに1度行われ、また、何れのクロックにおいても、  
続のバス選択情報が1アドレス分入力される。

【0 0 4 9】一方、トレース開始ステート情報s 5 0  
は、出力バッファ5 0 3にも入力される。出力バッフ  
5 0 3は打ち切り長以上トレースを行った後のトレ  
ース開始ステート情報s 5 0 7の下位3ビットを復号ビ  
ツとしてバッファし、本来の時系列順に並べ換えた後に  
号ビット信号s 5 1 1として出力する。

【0 0 5 0】このように、この発明の他の実施形態に  
いても、各RAMへのアクセスは毎クロックにつき1  
としたまま、バスメモリのRAMの総ワード数を打ち  
り長×2にすることができる。また、この発明の他の  
実施形態におけるバスメモリ回路は、シングルポートの  
メモリのみを用いるために、図7等を参照して上述した  
の発明の一実施形態と比較してさらに回路規模を削減  
きる。さらに、トレース回路5 0 2においては、この  
明の一実施形態におけるバスメモリ回路7 0 5中のト  
ース回路1 0 2と同様に予めステートの候補を絞るこ  
により、遅延の増大を最小限に抑えることができる。

【0 0 5 1】上述したこの発明の一実施形態およびこ  
の発明の他の実施形態においては、拘束長=4、打ち切  
り長=6の場合について説明したが、拘束長および打ち  
り長がこの値に限らず任意の値をとることができる。  
また、この発明の一実施形態等においては、1クロッ  
ク毎に3時刻分のトレースを行う場合を例としたが、例  
えば4個のデュアルポートRAMを備える構成によって  
クロック毎に4時刻分のトレースを行う、或いは5個  
のシングルポートRAMを備える構成によって1クロッ  
ク毎に4時刻分のトレースを行う等、種々の変形が可能  
ある。

【0 0 5 2】

【発明の効果】上述したように、この発明は、1クロ  
ックの間に複数時刻分のトレースを行って復号を行うよ  
うにしたので、バスメモリ回路内のRAMの総ワード数  
削減することができる。このため、装置の回路規模の  
小に寄与することができる。

【0 0 5 3】また、毎クロックでの各RAMへのアケ

ス回数は1回であること、およびトレース回路の上述した構成によって遅延の増大を最小限に抑えるようにしたことにより、高速な復号動作が可能となる。

【0054】従って、この発明により、回路規模が小さく、高速動作可能なビタビ復号装置を提供することができる。

#### 【図面の簡単な説明】

【図1】この発明の一実施形態の全体的な構成について説明するためのブロック図である。

【図2】拘束長=4の場合の遷移ダイアグラムについて説明するための略線図である。

【図3】トレースバック法におけるトレースの原理について説明するための略線図である。

【図4】トレースバック法におけるトレースの方法について説明するための略線図である。

【図5】従来から行われている一般的なトレースバック法における各RAMの役割について説明するための略線図である。

【図6】従来から行われている一般的なトレースバック法におけるメモリオペレーションについて説明するための略線図である。

【図7】この発明の一実施形態におけるバスメモリ回路について説明するためのブロック図である。

【図8】この発明の一実施形態におけるメモリオペレーションについて説明するための略線図である。

【図9】この発明の一実施形態におけるメモリオペレーションについてより具体的に説明するための略線図であ

る。

【図10】この発明の一実施形態におけるメモリオペレーションについてより具体的に説明するための略線図である。

【図11】トレースする可能性のあるステートについて説明するための略線図である。

【図12】この発明の一実施形態におけるトレース回路について説明するためのブロック図である。

【図13】この発明の他の実施形態におけるバスメモリ回路について説明するためのブロック図である。

【図14】この発明の他の実施形態におけるメモリオペレーションについて説明するための略線図である。

【図15】この発明の他の実施形態におけるメモリオペレーションについてより具体的に説明するための略線図である。

【図16】この発明の他の実施形態におけるメモリオペレーションについてより具体的に説明するための略線図である。

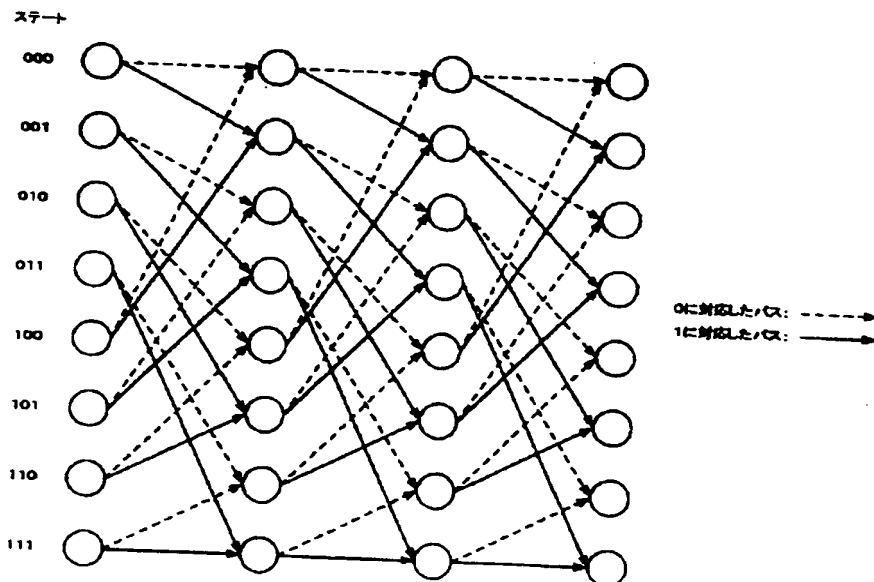
【図17】レジスタ遷移法におけるバスメモリのメモリセルについて説明するための略線図である。

【図18】レジスタ遷移法におけるバスメモリ中のメモリセルの配置について説明するための略線図である。

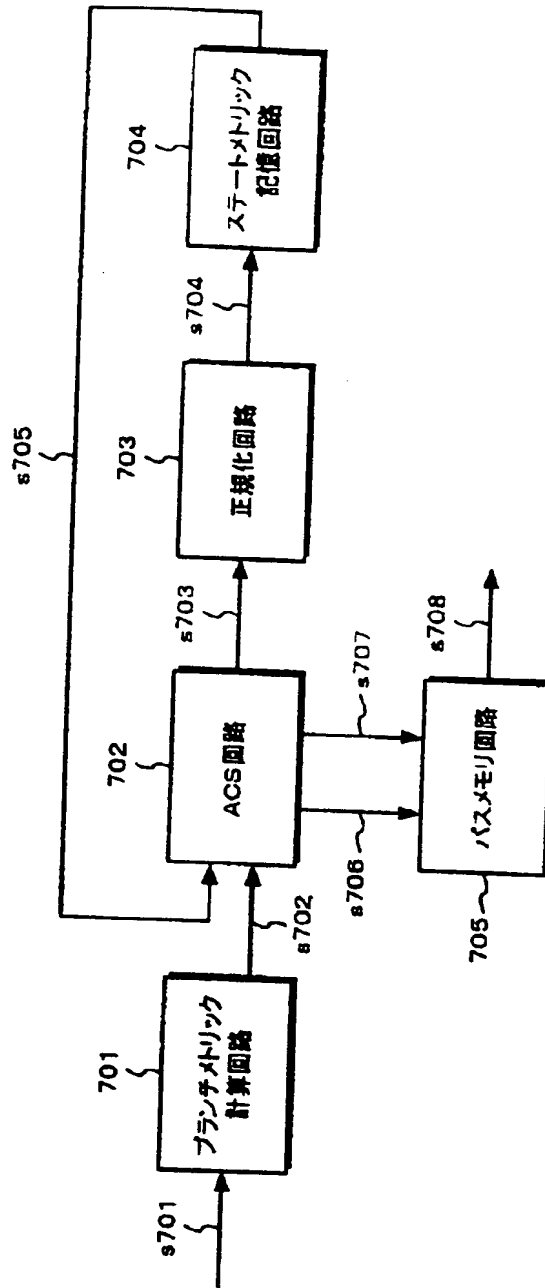
#### 【符号の説明】

705・・・バスメモリ回路、101・・・コントロール回路、102・・・トレース回路、401、402、403、404、405・・・選択回路、501・・・コントロール回路

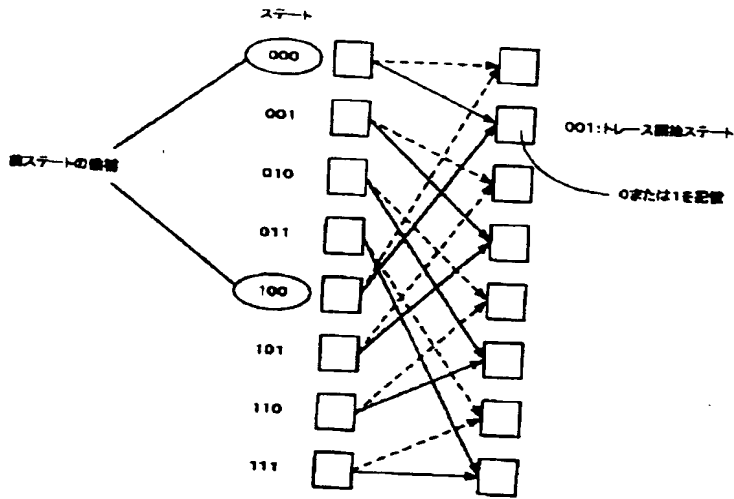
【図2】



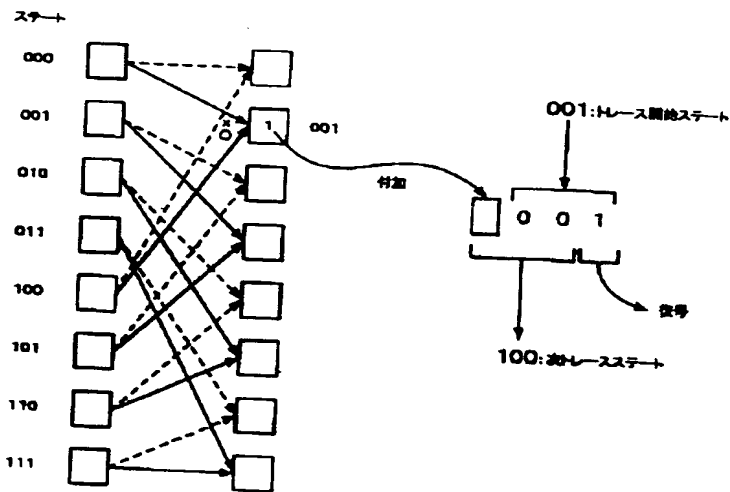
【図 1】



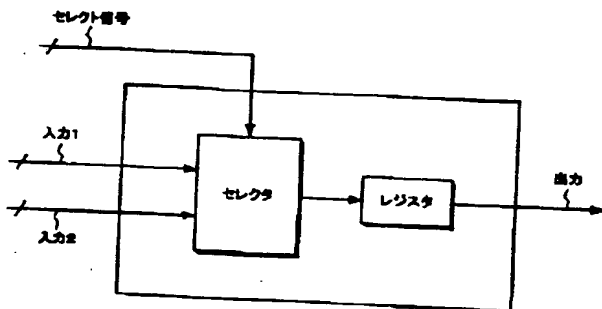
【図3】



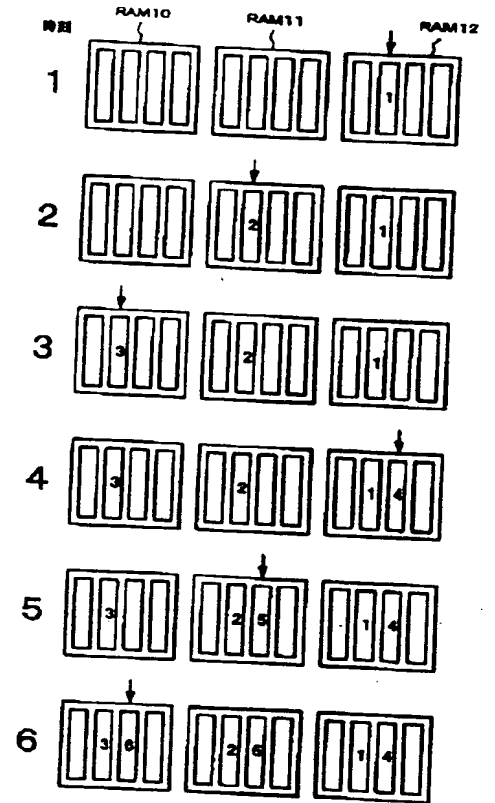
【図4】



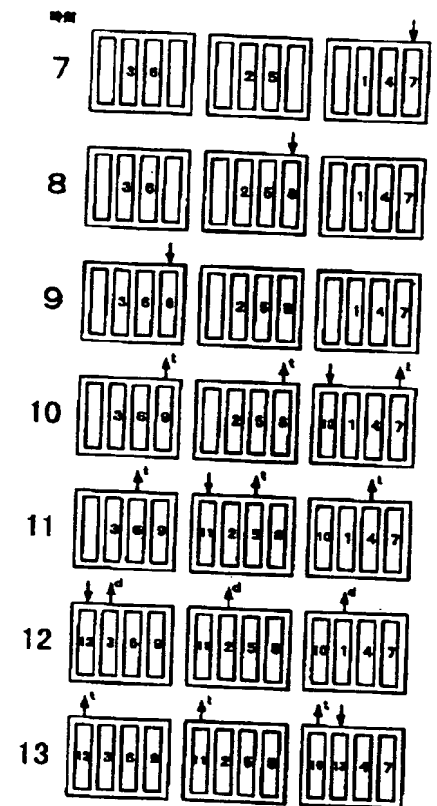
【図17】



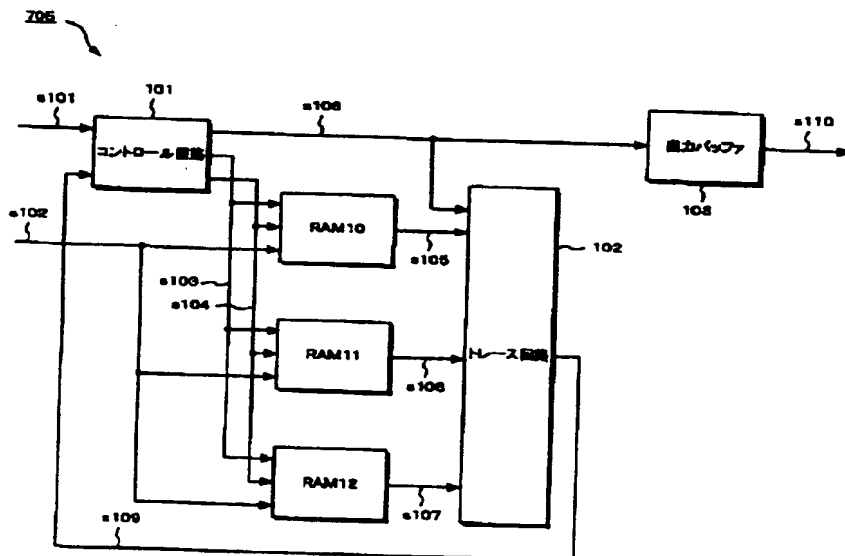
【図9】



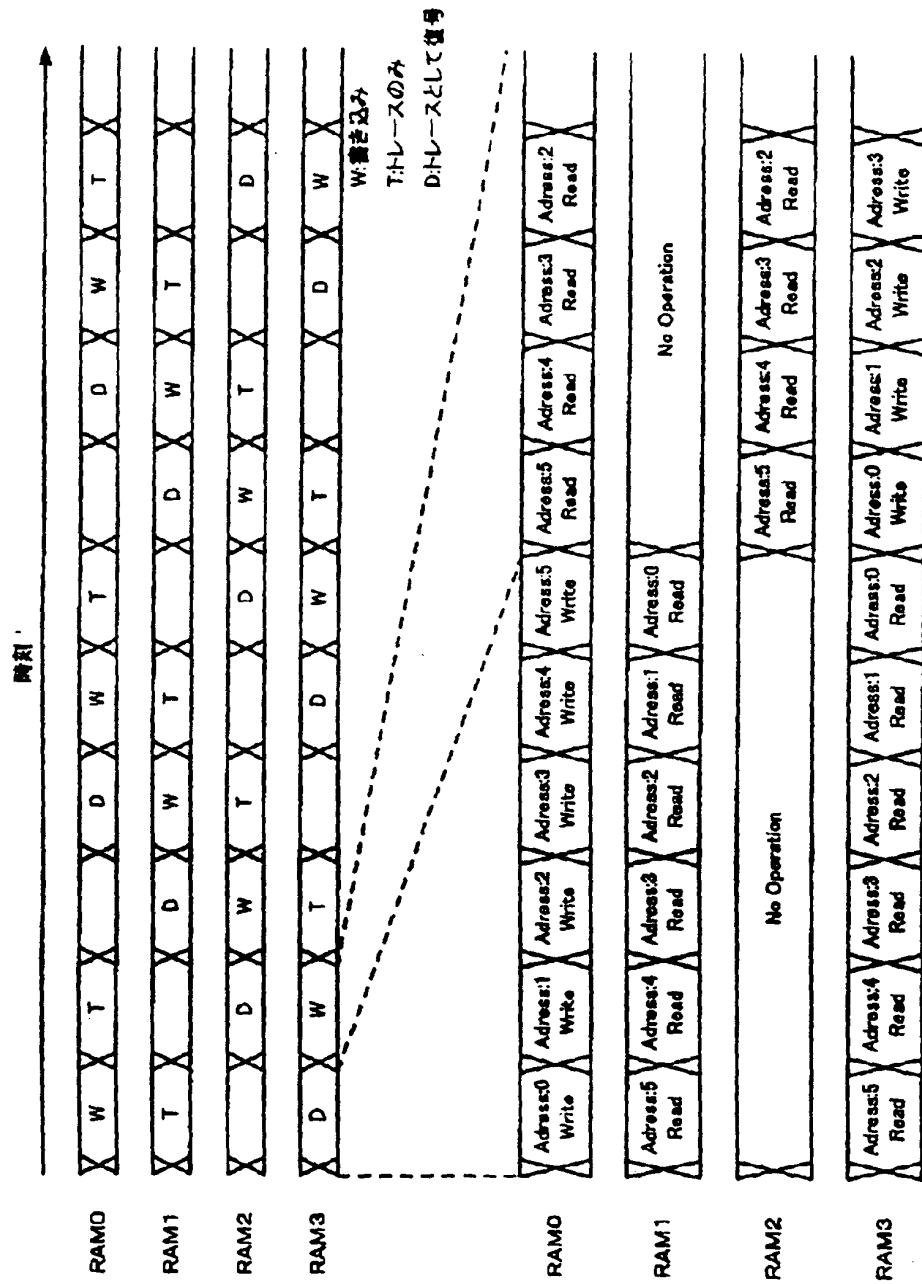
【図 10】



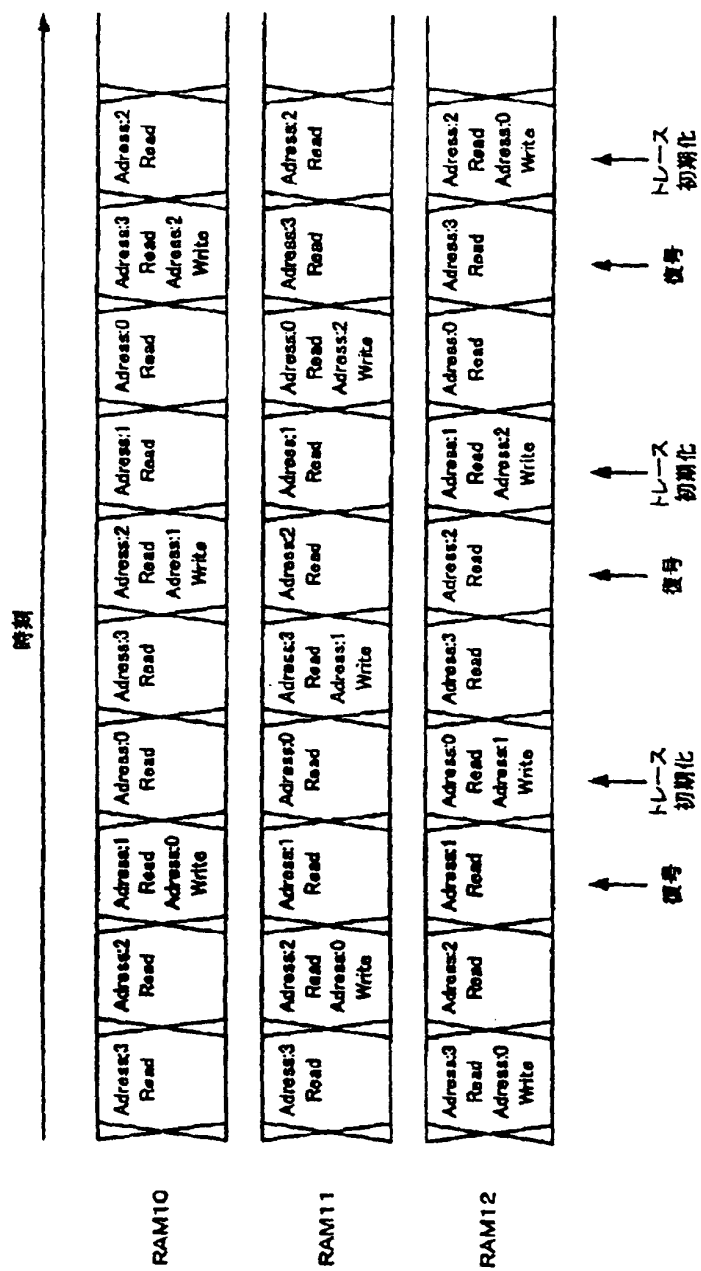
【图7】



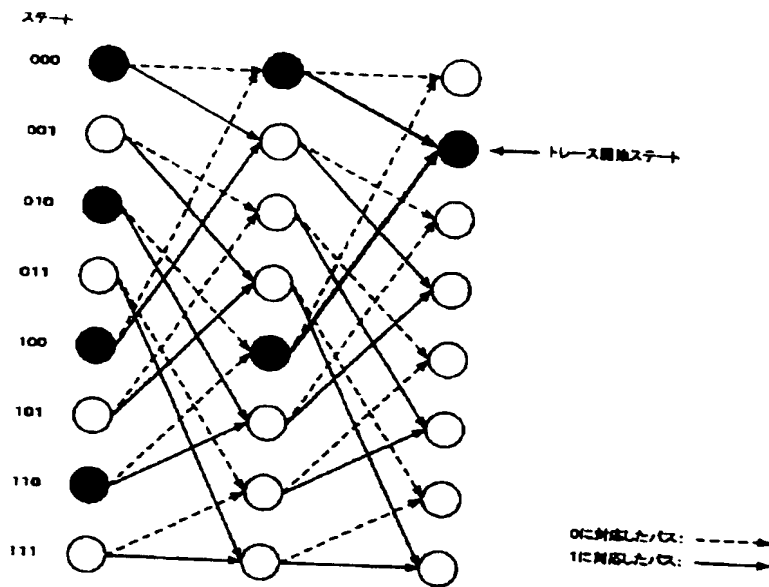
【図6】



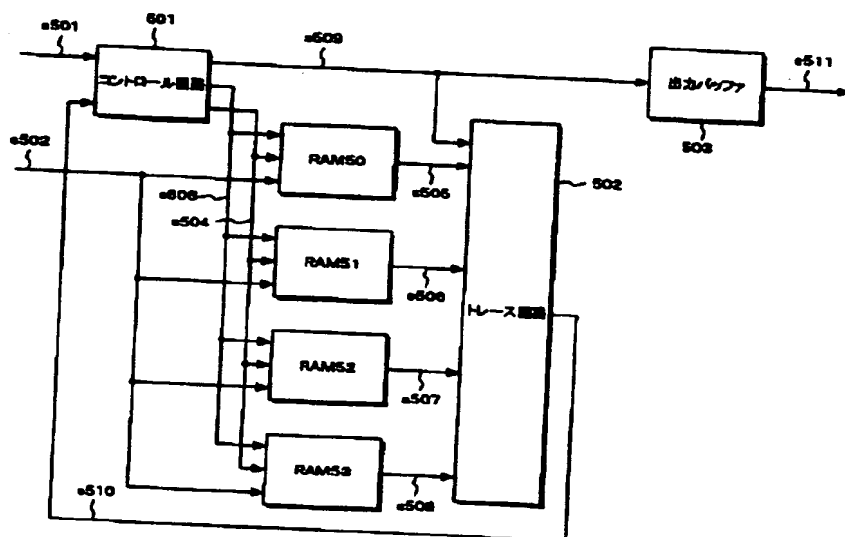
【圖 8】



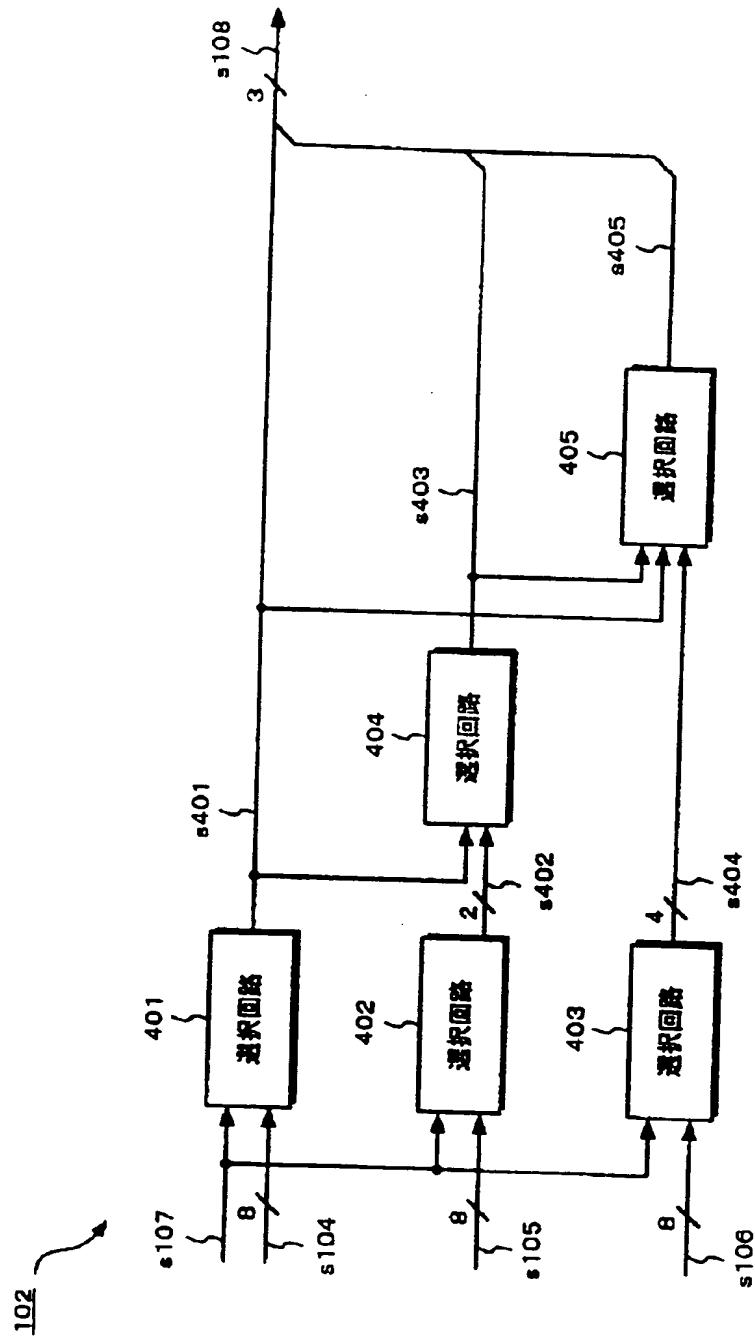
【図11】



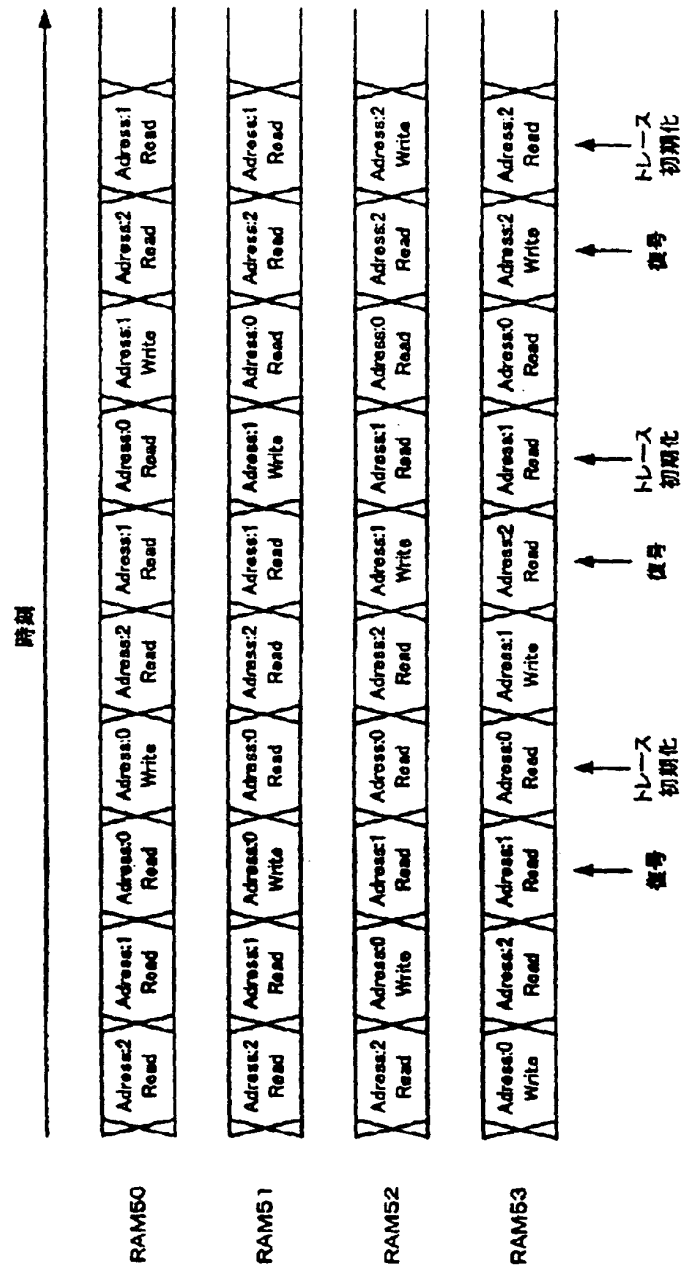
【図13】



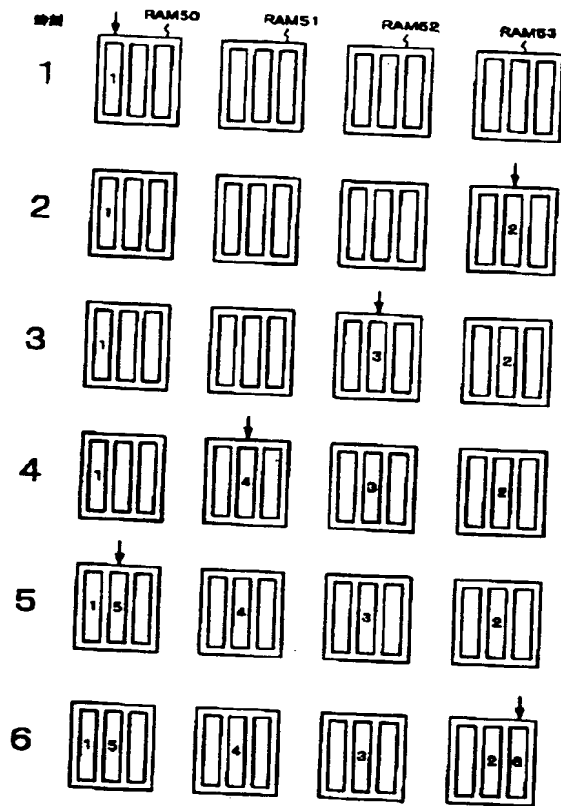
【図12】



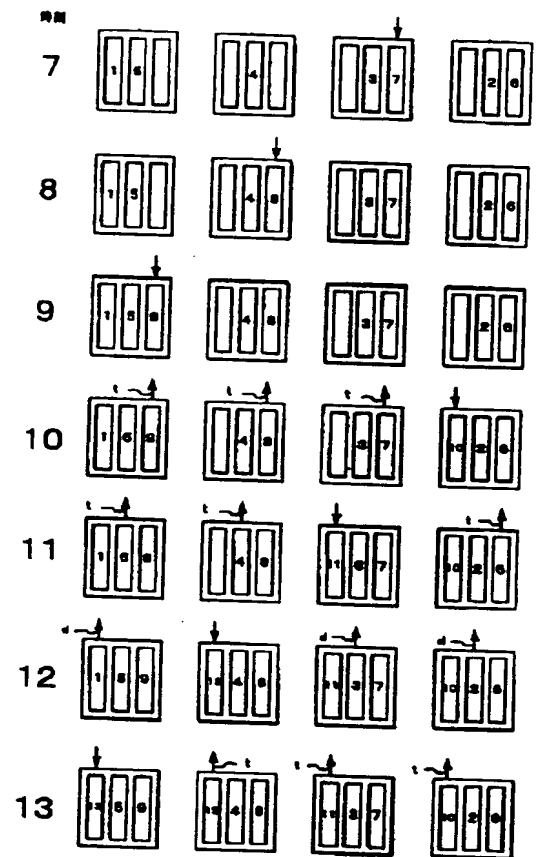
【図14】



【図15】



【図16】



【図18】

